

一、 相關研究發展現況：

鎖相迴路(Phase Locked Loops , PLL)可以使用在許多的應用當中，例如現在的行動通訊系統當中必須使用到 PLL 來作調變的相位合成，另外，在晶片組(Chipset)的設計當中準確的時序脈波是必須的，而現在的單位面積中所包含的電晶體越來越多，導致所產生的延遲相對增加，在不同的子電路方塊當中常常會發生工作相位不同，而有誤動作的情況發生，因此，在主時脈進入子電路方塊之前通常會利用 PLL 作相位校準的動作，使得所有的工作時脈同相位，在發展現況部分，由於現在行動通訊系統發展快速，所要求的頻率大都在 幾 GHz，但是一般而言，用於產生時序脈波的石英振盪器通常無法達到那麼高的頻率，所以使用鎖相迴路將頻率倍頻上去，達到所需之規格。

二、 研究動機：

本次下線晶片主要是設計在輸入脈波為 6M Hz,但輸出可達到 96M Hz 的鎖相迴路，所應用的範圍大約在給新式 USB2.0 及 USB2.1 所需要的脈波產生器，利用一個低頻穩定的石英振盪器振盪出 6M Hz 的方波，當作鎖相迴路的輸入脈波，由於石英振盪器的抖動相當的小，因此在當作成輸入的參考脈波是一個非常好的選擇，而架構的選擇為混模電路設計的架構：為電荷充電泵式的鎖相迴路[1][2]，以下將詳細的說明。

三、 架構簡介

鎖相迴路是以頻率負迴授系統為主架構的電路，其功能在於追隨輸入訊號的頻率及相位，使得內部時脈與外部參考時脈同相位，避免因高頻或高速所產生的雜訊影響。

其架構主要包括五個部分：相頻偵測器（PFD, Phase Frequency Detector）、充電泵（Charge Pump）、迴路濾波器（Loop Filter）、壓控振盪器(Voltage Controlled Oscillator)及除頻器(Divider)。架構圖如圖 1 所示：

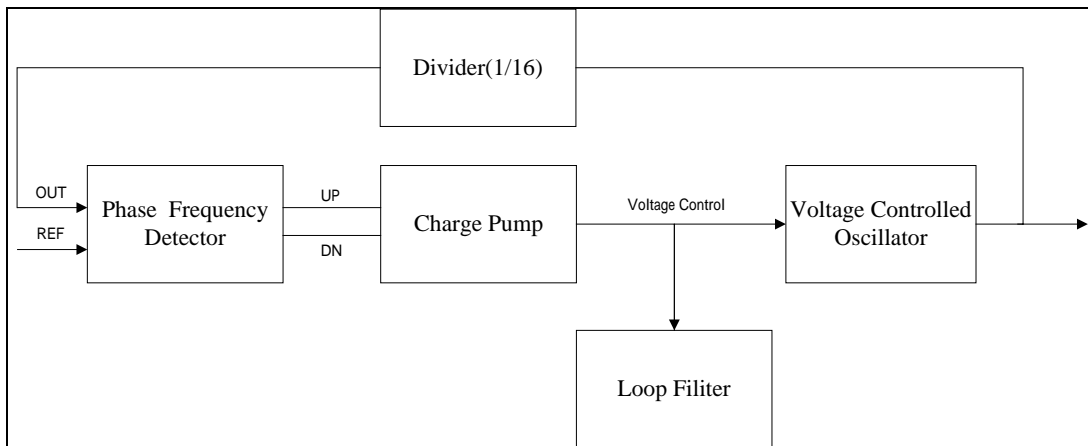


圖 1 鎖相迴路架構圖

鎖相迴路的工作原理是在封閉負迴授系統中[3]，利用相頻偵測器，比較輸入訊號頻率與迴授訊號頻率的差異來控制後端充電泵的充電或放電，此一電流，經過迴路濾波器將其在相頻偵測器及充電泵所產生的雜訊濾掉，產生出一控制電壓進入壓控振盪器，調整振盪頻率，經過除頻器，將迴授頻率與參考頻率相匹配，使得迴授振盪頻率能與輸入訊號頻率一致且相位相同，重複此一迴授路徑，輸入與迴授訊號永遠鎖在同一相位，始稱鎖相迴路。

此次下線共有兩個版本的鎖相迴路，主要是因為壓控振盪器的電阻相當重要，因此獨立出來利用外加精密電阻的方式，但其餘部分皆與第一版相同，另外還有兩個測試電路，分別為 PFD[4]與 CP 及 VCO 與 Divider[5]的建構方塊，在此詳細說明各個建構的方塊圖：

A 相頻偵測器：

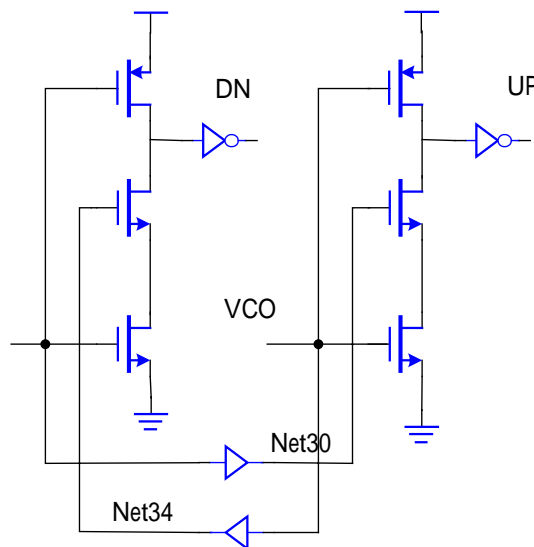


圖 2 相頻偵測器電路

B、Charge Pump 電路

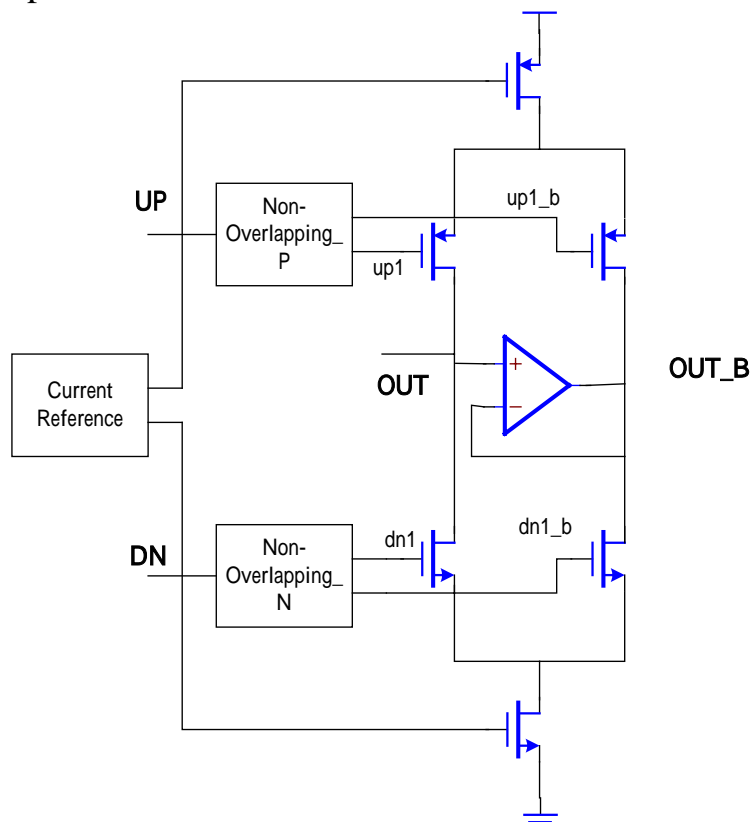


圖 3 Charge Pump 電路

C、壓控振盪器電路

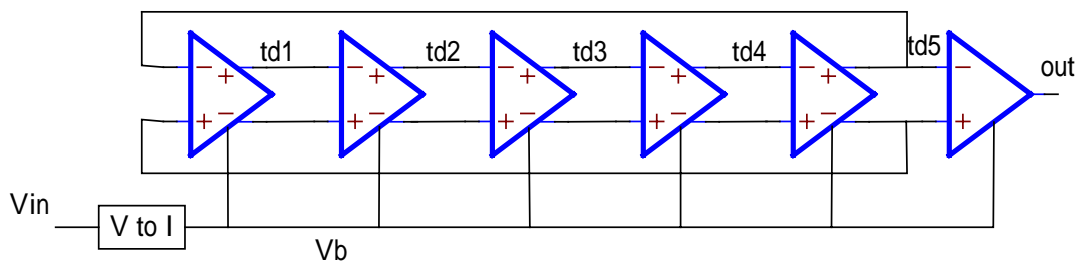


圖 4 Voltage Controlled Oscillator 電路

D、除頻器電路

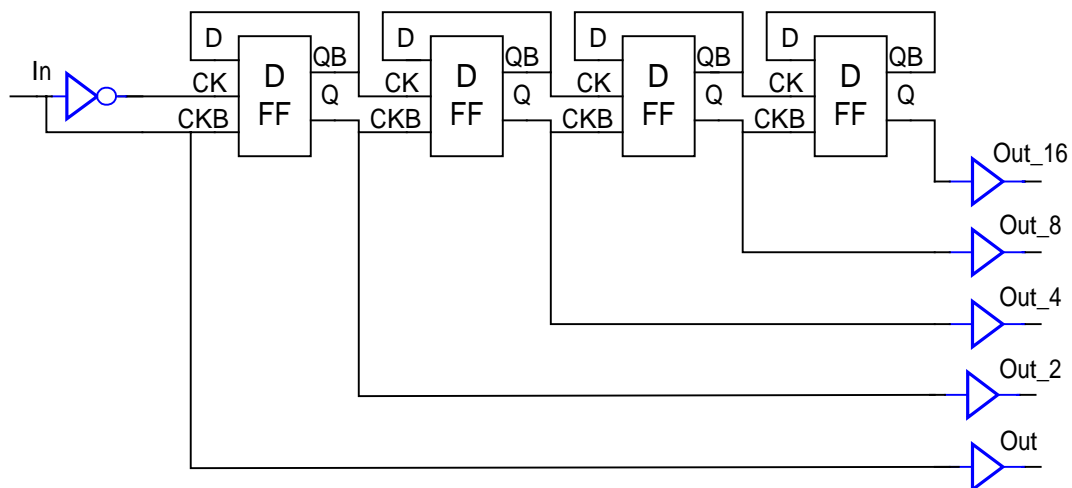


圖 5 Voltage Controlled Oscillator 電路

四、設計流程：

構想 - > 利用 HSPICE 作 Transistor Level 的電路設計及動作驗證與模擬(Pre Simulation) - > 利用 Cadence Tools 佈局 - > 佈局後驗證(Post Simulation)。

五、模擬結果：

模擬主要著重於兩個部分，第一：相頻偵測器的死帶(Dead Zone)已經利用新的架構消除了，接著與 Charge Pump 及迴路濾波器結合，可以驗證上升的電壓及下降的電壓幅度是否一致，最後，第二項是整個系統的驗證，以下分別為其模擬：

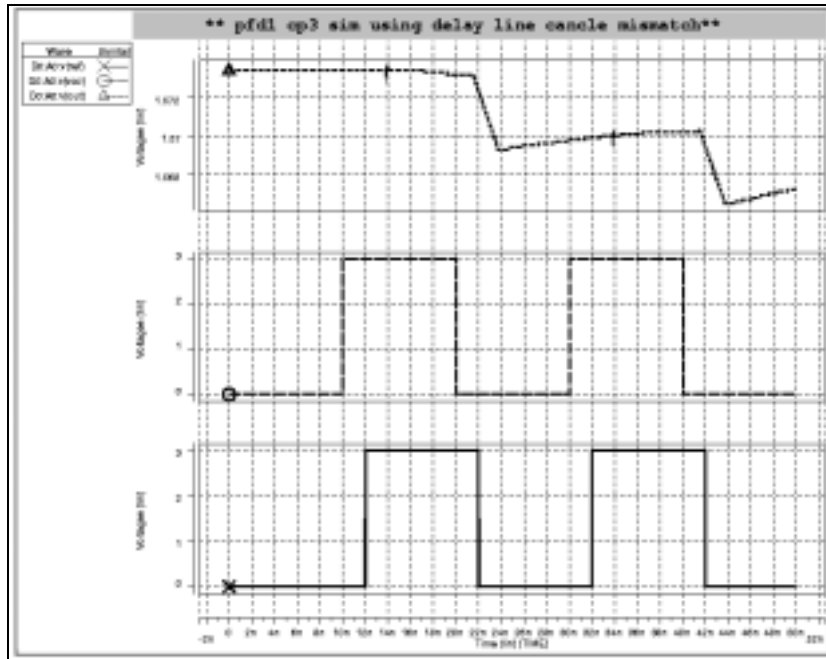


圖 6 PFD + Charge Pump + LP 放電電路模擬結果

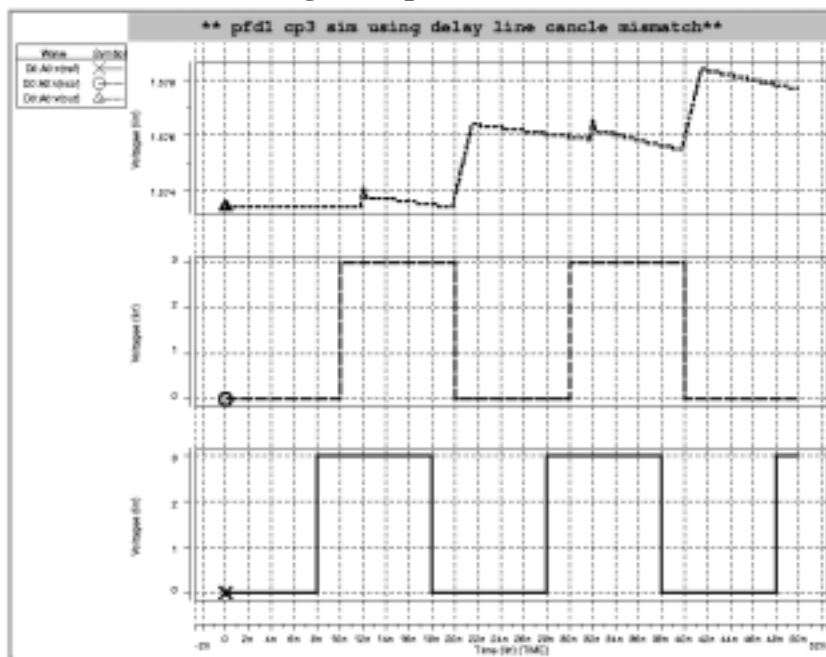


圖 7 PFD + Charge Pump + LP 充電電路模擬結果

圖六與圖七是將相頻偵測器與電荷充電泵結合在輸出端接上迴路濾波器的模擬，其主要在驗證當前端的輸入訊號相位有偏差時，單位時間內充電及放電的電壓是否相同，模擬結果為充電電壓為 5mV，而放電電壓為 6.5mV 其單位時間為 2ns。

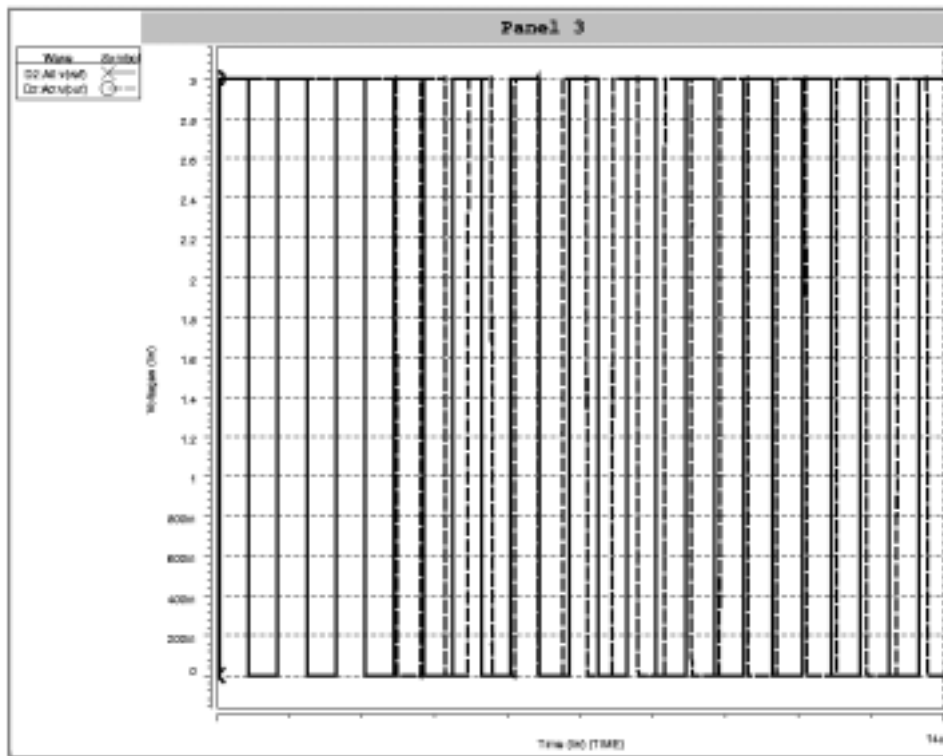


圖 8 鎖相迴路系統模擬(1)

圖八為由壓控振盪器經過除頻器的迴授信號與輸入的參考脈波的比對圖，其中發現大約在 13 μ s 壓控振盪器開始振盪，因此其鎖住時間(Lock-in Time)為 13 μ s。

圖九與圖十為相頻偵測器的輸出與充放電電流的模擬狀況，可發現在 post-simulation 的模擬其動作是正常運作的，在電流的輸出部分也可看出非重疊電路的效果。

圖十一為迴路濾波器輸出至壓控振盪器輸入的控制電壓，可發現在 13 μ s 的時候發生 Damping 的狀況，而在 20 μ s 的時候趨於穩定，代表整個系統已經在鎖住的狀態中。

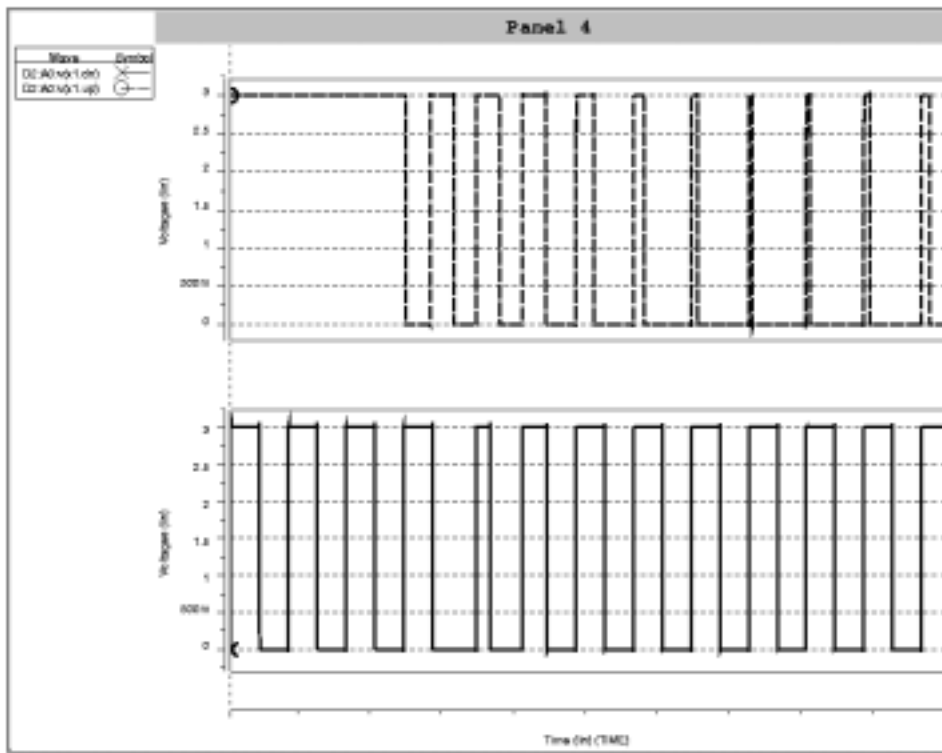


圖 9 鎖相迴路系統模擬(2)

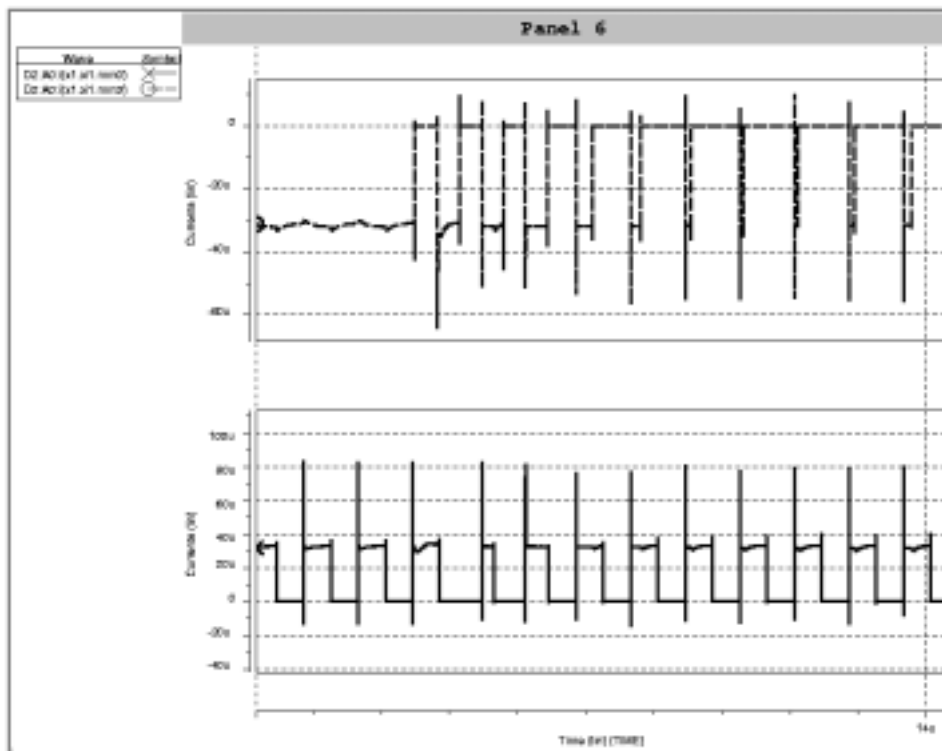


圖 10 鎖相迴路系統模擬(3)

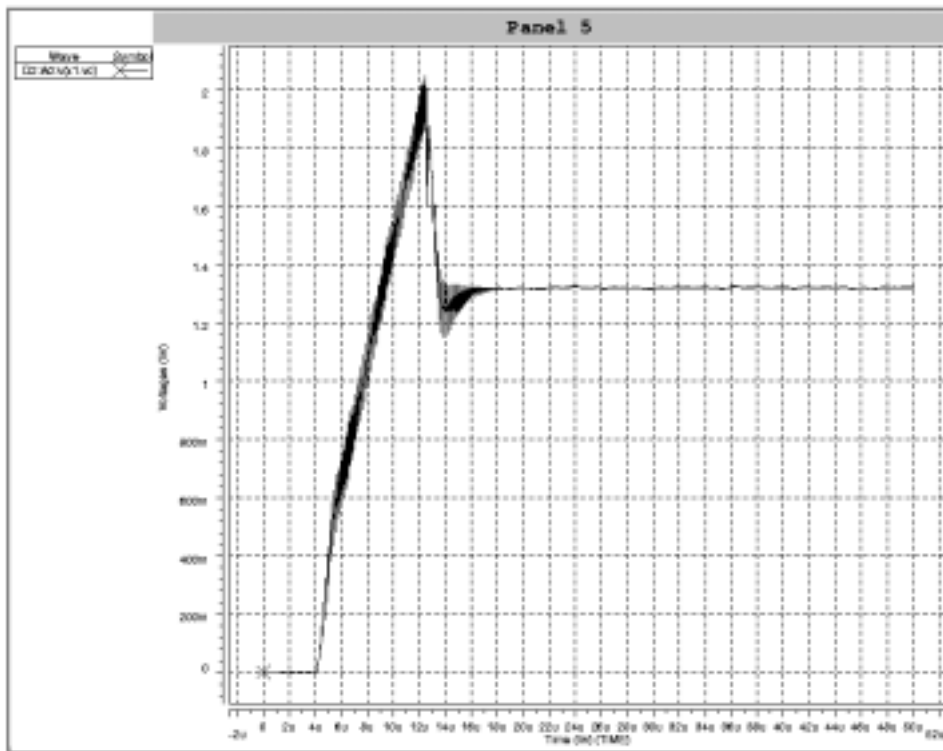


圖 11 鎖相迴路系統模擬(4)

六、預計規格列表：

表一

規格	結果
電源供應電壓	2.7V ~ 3.3V
壓控振盪器中心頻率	100 M Hz
壓控振盪器可變頻率範圍	75 M Hz ~ 125 M Hz
壓控振盪器控制電壓範圍	1.0V ~ 2.0V
壓控振盪器增益	50M Hz/V
除頻器除數	16
自然頻率	0.742
阻尼因數	1.23 M Hz
Lock-In Time	15 μ s
系統消耗功率(Vdd=3.0V)	10 mW
輸出抖動(Jitter)	400 ps
Input Level	TTL
Output Level	TTL
No . of Output	4
t(phase error) Max	200 ps
t(phase error)Min	-200 ps

七、 測試考量：

- i. 系統模擬：利用 Function Generator 產生 6M Hz 的方波輸入，觀測 DN、UP 的輸出及 OUT 的波形，在迴路濾波器部分加上校正電容及電阻，改變輸入頻率，驗證 Lock-In Time，驗證 Long-tern Jitter、Short-tern Jitter，此一示波器並不需要利用到高頻的功能，因為雖然內部頻率達到 100M Hz，但是所需量測的訊號只有到 12M Hz 而已，並不用考慮 RF 效應，另外示波器及 I/O PAD 上的雜散電容雖然會影響 Pd 及 TF、TR 但是影響不大，仍可看出結果。
- ii. 參數驗證：由於迴路濾波器的電路是利用外掛的，所以調整電容及電阻值可量測自然頻率及阻泥係數，另外調整壓控振盪器的電阻，可驗證最大輸出頻率，預期可達到 150M Hz 左右。
- iii. 最後，利用建構方塊測試電路，量測單一方塊的基本參數(Dead Zone、Nature Frequency.....)。

八、 參考文獻

- [1] Floyd M. Gardner, "Charge-Pump Phase-Lock loops", *IEEE Transaction On Communication*, Vol. COM-28, pp. 1849-1858, November 1980
- [2] Mark Van Paemel, "Analysis of a Charge-Pump PLL : A New Model", *IEEE Transaction On Communication*, Vol. 42, No. 6, pp. 2490-2498, July 1994
- [3] Ian A . Young ,and Jeffrey K . Greason , and Keng L. Wong, "A PLL Clock Generator with 5 to 100M Hz of Lock Range for Microprocessor", *IEEE Journal of Solid State Circuit*, Vol. SC-27, No.11, pp.1599-1607, November 1992
- [4] Henrik O.Johansson, "A Simple Precharged CMOS Phase Frequency Detector", *IEEE Journal of Solid State Circuit*, Vol. 33, No.2, pp. 295-299, February 1998
- [5] Behzad Razavi,"Design of Monolithic Phase-Locked Loops and Clock Recovery Circuit –A Tutorial", *Monolithic Phase-Locked Loops and Recovery Circuit*, A Select Reprint Volume IEEE Solid-State Circuit Council , Sponsor, 1996

佈局驗證結果錯誤說明

1. DRC :

----- OUTPUT CELL SUMMARY -----

CELL-NAME LAYER # ----- WINDOW -----

DATATYPE # OF POLYGONS TEXTS
(LINE SEGMENTS)

COB159	59/0	4.10	4.10	1555.90	1473.90	354959	0
--------	------	------	------	---------	---------	--------	---

此是 pad 構造所產生的 error

LATI364	64/0	823.90	412.85	1159.60	953.65	56	0
---------	------	--------	--------	---------	--------	----	---

此錯誤是 MOS 電容設計上的考量

OUTDISK PRIMARY CELL : OUTCHIP1

WINDOW : 4.10 4.10 1555.90 1473.90

ENDED AT TIME =14:01:22 DATE =28-DEC-2000

以上錯誤經確認後，均不影響電路工作。

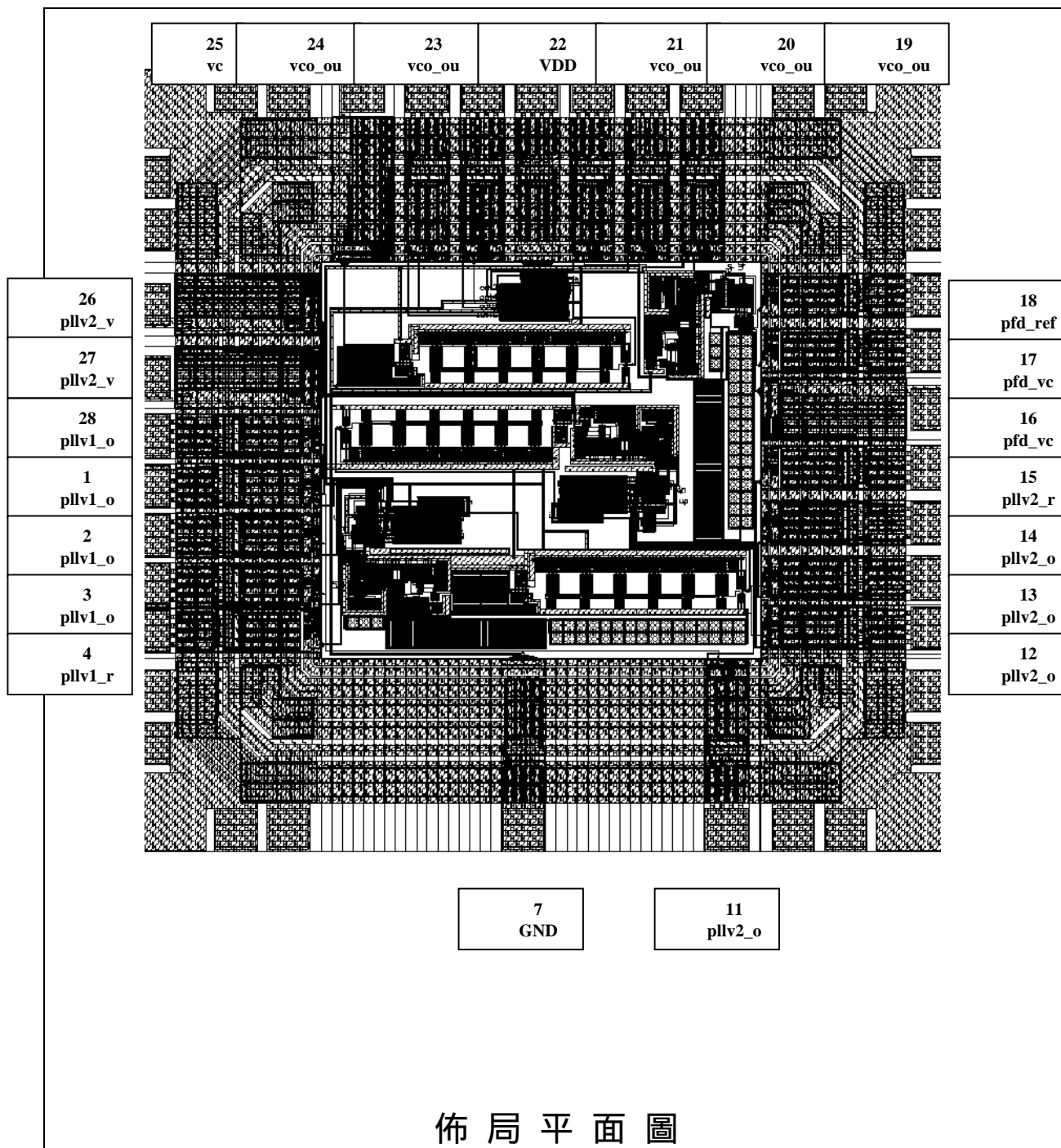
2. LVS :

Dracula LVS 驗證結果檔為 pll.lvs , 已經由 FTP 上傳至 CIC , 結果完全 MATCH

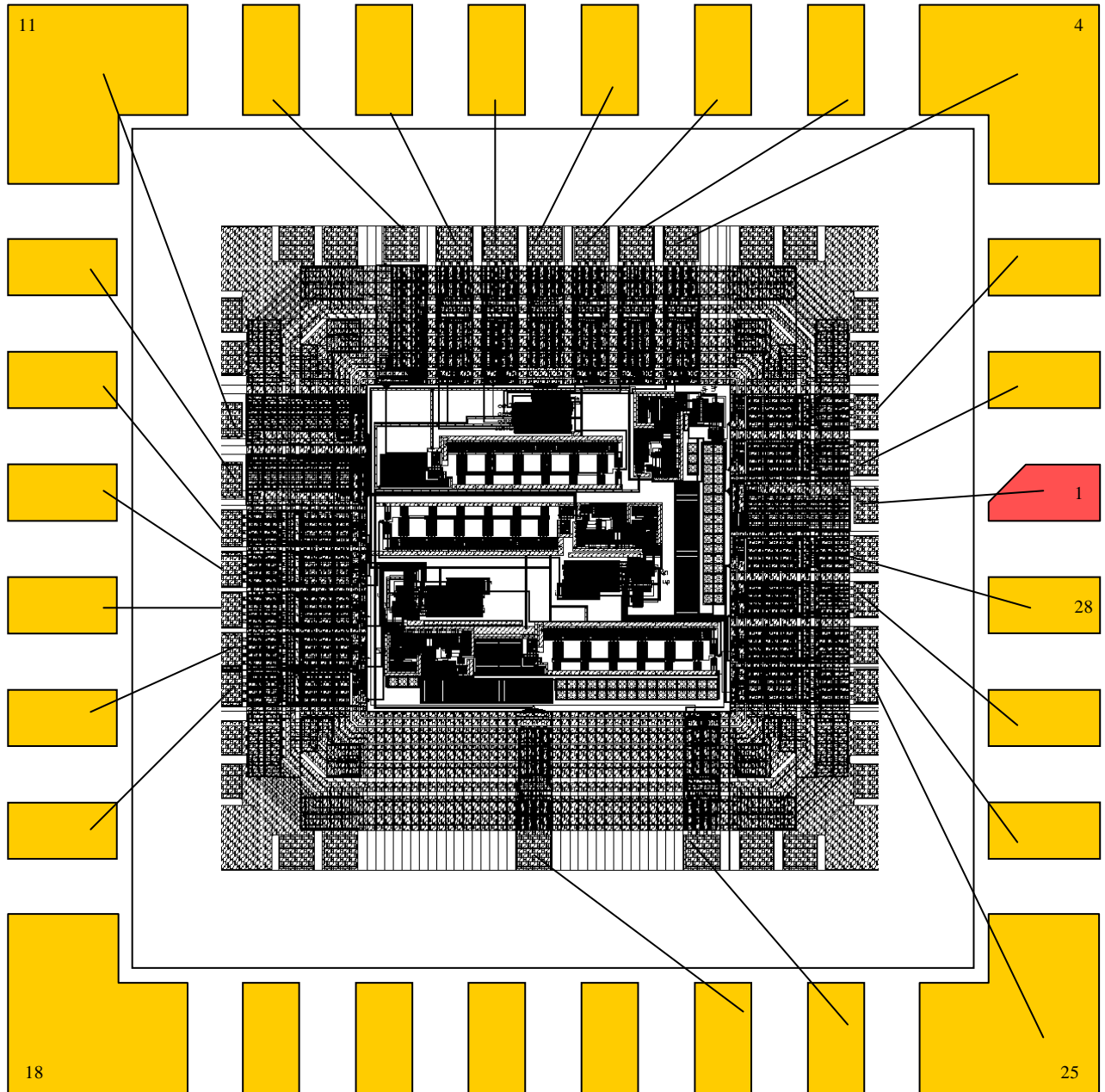
*** Chip Features

CAD Tools ***

CKT name : 鎖相迴路於脈波產生器之研究與設計(設計名稱) HSPICE
 Technology : 0.35um 3P3M SiGe BiCMOS(使用製程) OPUS
 Package : 28 DIP (包裝種類)
 Chip Size : 1.5 * 1.5 mm² (晶片面積 ; mm²)
 Transistor/Gate Count : 10CP / 6R / 630 MOS (電晶體/邏輯閘數)
 Power Dissipation : 10mW (功率消耗 ; mW)
 Max. Frequency : 150Mz (最高工作頻率 , MHz)
 Testing Results : function work partial work fail



Side Braze 28L inner lead
(Empty drawing)



Tapeout review form 的用意在提醒設計者在設計、模擬、佈局、佈局驗證及 tapeout 時具備設計理念及了解應注意事項,希望能藉此提昇晶片設計的成功率及達到完整的學習效果。因此,請指導教授及設計者確實檢查該晶片設計過程是否已注意本表格之要求,並在填寫確定後簽名,若審查時發現設計內容與 Tapeout Review Form 之填寫不符,很可能遭取消該晶片下線製作資格。可參考本表後所附範例確實填寫。

1. 電路概述

- 1-1. 電路名稱: 鎖相迴路於脈波產生器之研究與設計
- 1-2. 製程名稱: A07-91A
- 1-3. 工作電壓: 3.3V
- 1-4. 工作頻率: 150 MHz
- 1-5. 功率消耗: 10 mW
- 1-6. 此電路架構於貴實驗室是否第一次設計?是(接 2-1)___否(接 1-6-1)___
 - 1-6-1. 此電路之前不 work 或 performance 不好的原因為何? 原因為當初未考量輸出端之 driving 能力, 以至於無法推動輸出負載, 無法量測, 在本版已做改進
 - 1-6-2. 對之前的錯誤作何種修改? 增強輸出之驅動能力

2. 電路模擬考量

- 2-1. 已模擬過電壓變動 $\pm 10\%$ 中哪些情況對電路工作之影響? SS,,TT,,FF
- 2-2. 如何考量溫度變異之影響? 0~50
- 2-3. 如何考量電阻、電容製程變異之影響? 電容採用並聯多個方式, 量測時可用雷射做調整, 電阻誤差 $\pm 10\%$ 以內對電路影響有限
- 2-4. 模擬時是否加入 IO PAD、Bonding wire 的效應及考量測試儀器之負載等影響? yes. 是否作 EM 及 post layout simulation? yes 使用的軟體為 HSPICE

3. Power Line 佈局考量

- 3-1. Power Line 畫多寬? 20um
- 3-2. 是否考量 power line current density? yes
- 3-3. 是否考量 Metal Line 之寄生電感及傳輸線效應? yes

4. DRC,LVS

- 4-1. 是否有作 whole chip 的 DRC 及 LVS? yes
- 4-2. 在作 LVS 的過程中,PIN 腳及元件是否 match? yes 不 match 的原因為何? _____
- 4-3. 檢查 PAD 與 PAD 間是否有移位、短路或斷路的現象? 無

5. MT Form 填寫

- 5-1. 是否填上系所單位? yes 設計者姓名? yes 絡電話(與手機)? yes 日期? yes
- 5-2. 晶片左下角座標是否是(0,0)? _____
- 5-3. 是否填妥左下角及右上角座標? yes 是否填上 window size? yes
- 5-4. Layout 中 layers 的 GDS2 number 填寫是否正確? yes 沒有使用到的光罩層是否有填寫 N/A
- 5-5. 是否已填妥 top cell name? yes

6. RF/MMIC 電路佈局考量 :

- 6-1 電路規格適用何種系統? _____
- 6-2 說明被動元件模型的來源 _____
- 6-3 模擬軟體 (可不只一種)? _____
- 6-4 系統整合 chip 裡之各個 block 是否曾下過線且量測符合預期規格 (chip 為系統整合者回答,並說明製程梯次代號)? _____
- 6-5 佈局考量 :

- 6-5-1. 元件佈局方式是否與模型提供者所提供的佈局一致? _____
- 8-5-2 接地與電壓源是否使用 via hole? _____
- 8-5-3 元件與拉線的電流承載能力考量? _____
- 8-5-4 拉線是否過長過細? _____
- 8-5-5 PAD 的佈局是否配合量測上之考量? _____
- 8-5-6 PAD 與 Bond-wire 的效應是否考量? _____
- 8-5-7 電晶體擺放方式是否正確無誤? _____
- 8-5-8 MIM 電容是否按照 design manual 規定之方式 layout? _____
- 8-5-9 金屬層是否有 donut shape 之 layout 產生? _____

6-6 DRC 驗證過程中, 部分錯誤若為特殊考量, 請說明_____

為 PAD 與 MOS 電容之相關錯誤, 已於申請書中 DRC error 說明

6-7 LVS 驗證過程中, 電感電容或其他特殊元件的比對是否做過處理, 請說明_____

電容元件以開路方式做 LVS 比對

6-8 量測方式為 on wafer, on PCB or in package? 並說明量測時應該注意事項與量測地點_____

本 chip 將採用 28pin 之封裝, 相關之測試考量於申請書內容第七項中有詳細之說明

設計者簽名: _____ 指導教授簽名: _____