

佈局驗證結果錯誤說明

1. DRC :

```
----- OUTPUT CELL SUMMARY -----  
CELL-NAME  LAYER #  -----  WINDOW  -----  
          DATATYPE                               # OF POLYGONS  
          TEXTS                                   (LINE SEGMENTS)  
  
COB159     59/0     4.10     4.10     1555.90   1473.90   354959    0
```

此是 pad 構造所產生的 error

```
LATI364    64/0     823.90   412.85   1159.60   953.65    56        0
```

此錯誤是 MOS 電容設計上的考量

```
OUTDISK PRIMARY CELL : OUTCHIP1  
WINDOW :           4.10     4.10     1555.90   1473.90  
          ENDED    AT  TIME =14:01:22     DATE =28-DEC-2000
```

以上錯誤經確認後，均不影響電路工作。

2. LVS :

Dracula LVS 驗證結果檔為 pll.lvs，已經由 FTP 上傳至 CIC，結果完全 MATCH