

## 砷化鎵晶片下線規定事項（極重要）

- 1 每次下線前請確定所使用廠商的 Cell library、DRC rule 等有無變動更新，若有更新，請務必使用最新的版本。
  - 2 申請表的面積規格務必填寫正確，面積(  $x$  )=( X 軸,Y 軸 )座標，最後上傳的檔案必須跑過 DRC，並附表詳細解釋所有的 DRC 錯誤，若 CIC 發現 DRC 有錯誤而未予更正即上傳，將退回申請。
  - 4 要上傳的 gds file 前，先自行測試 gds 能否正確 import 回去，勿傳錯誤的 gds file。
  - 5 申請表填寫上傳 CIC 後，下線的 size 不可自行要求變更，除非審查結果要求縮小。
  - 6 上傳 gds 檔案後，不可要求更改檔案上傳，若審查會結果並無要求更改 layout，則亦不可更改。
  - 7 Layout 座標的原點請務必放置在座標的中心原點。
- GCT – HBT 因提供 1/2 die street，故中心原點對準左下角。
- WIN – PHEMT 因提供完整 die street，故中心原點對準左下中心。
- 8 X,Y snap spacing 務必至少使用 0.1 以上，以免錯位的情形發生。
  - 9 若有更改 gds file，請重新命名，上傳更新完畢後亦必需 fax 新的 MT-form。
  - 10 由於製程的限制，電晶體的擺向請依照廠商提供的 cell 裡面同樣的擺放方向。
  - 12 MT form 文件裡，Structure name(top-cell name)，請填寫 cell name，勿填寫 gds file name。
  - 13 所填寫的面積大小，為包含全部 die street 的整體面積。
  - 14 製程 rules 檢查錯誤，若有問題可與 CIC 工程師討論，不可逕行合理化，違者退件。
  - 15 最後 layout 上傳前，請詳細比對 layout 與電路的一致性，不可有漏畫電路的情形發生。

各位教授，同學好：

在 CIC 事情說明會中，有提到在 GaAs 製程裡需附上完整的 DRC 說明

主要目的是為了確保學生的電路在 layout 設計上不會跟廠商的製程規則違反

若 CIC 將廠商未認可的 layout 直接給廠商，可能在電路製程上也會 fail.

所以在這方面希望同學們可以配合，確實且詳細檢查、說明 DRC errors.

CIC 要求的 DRC 很簡單：

1.DRC 除了廠商給的 cell library 本身的錯誤造成的 errors

其他的電路與元件不應該出現 DRC errors.若有不確定可與 CIC 討論說明。

2.就全部 DRC 跑完後，學生請詳細列出每個 DRC errors 發生的原因

不管是廠商的錯誤，或是圓弧，文字、切邊等部分皆要詳細解釋。

3.不允許填寫與廠商 check error 無誤的解釋或 DRC 檢查結果皆合理的解釋。

如有發現與事實不合，之後處分即直接退回下線申請。

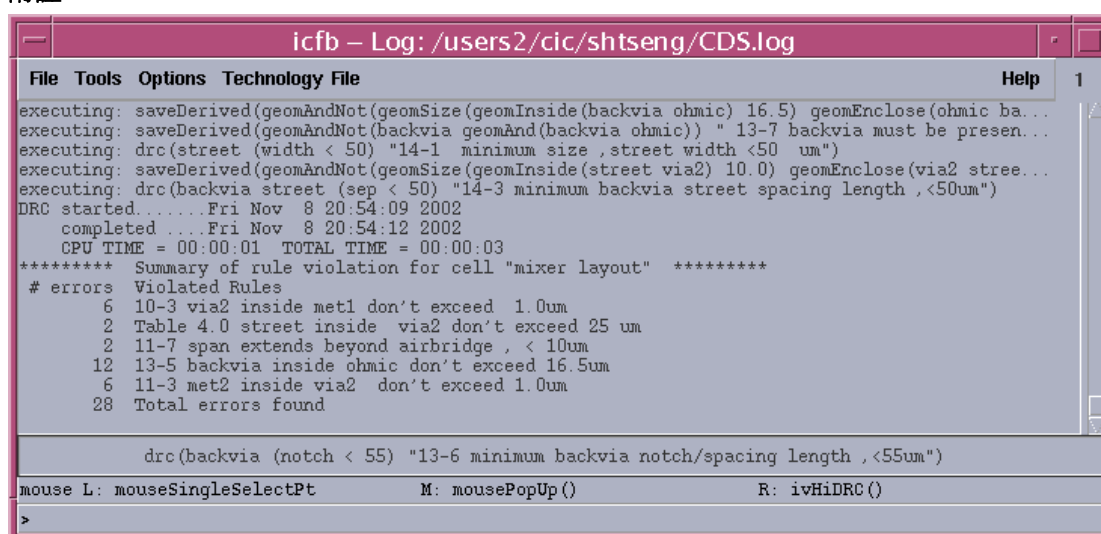
各位可參考附註相同形式來填寫(可用 XV 來做)

請各位將 DRC 更正，並將 DRC 結果以上述方式整理 fax 給 CIC，並上傳至申請帳號下。  
若超過規定時間後，仍發現有不同的 errors 與作法。則[直接退回下線申請](#)。

希望各位下線的同學配合相關規定，讓 GaAs 製程更具規則與制度。

若還有不清楚的規定，請到 CIC 網站查看事前說明會的內容資料或電洽負責人。

附註:



```
icfb - Log: /users2/cic/shtseng/CDS.log
File Tools Options Technology File Help 1
executing: saveDerived(geomAndNot(geomSize(geomInside(backvia ohmic) 16.5) geomEnclose(ohmic ba...
executing: saveDerived(geomAndNot(backvia geomAnd(backvia ohmic)) "13-7 backvia must be presen...
executing: drc(street (width < 50) "14-1 minimum size ,street width <50 um")
executing: saveDerived(geomAndNot(geomSize(geomInside(street via2) 10.0) geomEnclose(via2 stree...
executing: drc(backvia street (sep < 50) "14-3 minimum backvia street spacing length ,<50um")
DRC started.....Fri Nov 8 20:54:09 2002
completed.....Fri Nov 8 20:54:12 2002
CPU TIME = 00:00:01 TOTAL TIME = 00:00:03
***** Summary of rule violation for cell "mixer layout" *****
# errors Violated Rules
6 10-3 via2 inside met1 don't exceed 1.0um
2 Table 4.0 street inside via2 don't exceed 25 um
2 11-7 span extends beyond airbridge , < 10um
12 13-5 backvia inside ohmic don't exceed 16.5um
6 11-3 met2 inside via2 don't exceed 1.0um
28 Total errors found

drc(backvia (notch < 55) "13-6 minimum backvia notch/spacing length ,<55um")
mouse L: mouseSingleSelectPt M: mousePopUp() R: ivHiDRC ()
>
```

- 6 10-3 via2 inside met1 don't exceed 1.0um  
WIN 所提供的 gsg(ground-signal-ground) pad errors。
- 2 Table 4.0 street inside via2 don't exceed 25um  
WIN 本身 die street errors.
- 2 11-7 span extends beyond airbridge , <10um  
WIN 所提供的電感 model 的 layout errors。
- 12 13-5 backvia inside ohmic don't exceed 16.5um  
WIN 提供的 gsg pad errors。
- 6 11-3 met2 inside via2 don't exceed 1.0um  
WIN 所提供的 gsg(ground-signal-ground) pad errors

**To CIC 工程師:**

經小心確認，以上錯誤皆是出自廠商本身 cell-library 造成，並非由學生自己 layout 造成。

故可確認 DRC 合理。